



Euroches Patentamt
European Patent Office
Office européen des brevets

SCIENCE REFERENCE AND INFORMATION SERVICE

Veröffentlichungsnummer: **0 254 980 A1**

EUROPÄISCHE PATENTANMELDUNG

Anmeldenummer: 87110306.5

Int. Cl.⁴ **G11C 7/06 . H03K 5/02**

Anmeldetag: 16.07.87

Priorität: 24.07.86 DE 3625020

Veröffentlichungstag der Anmeldung:
03.02.88 Patentblatt 88/05

Benannte Vertragsstaaten:
AT DE FR GB IT NL

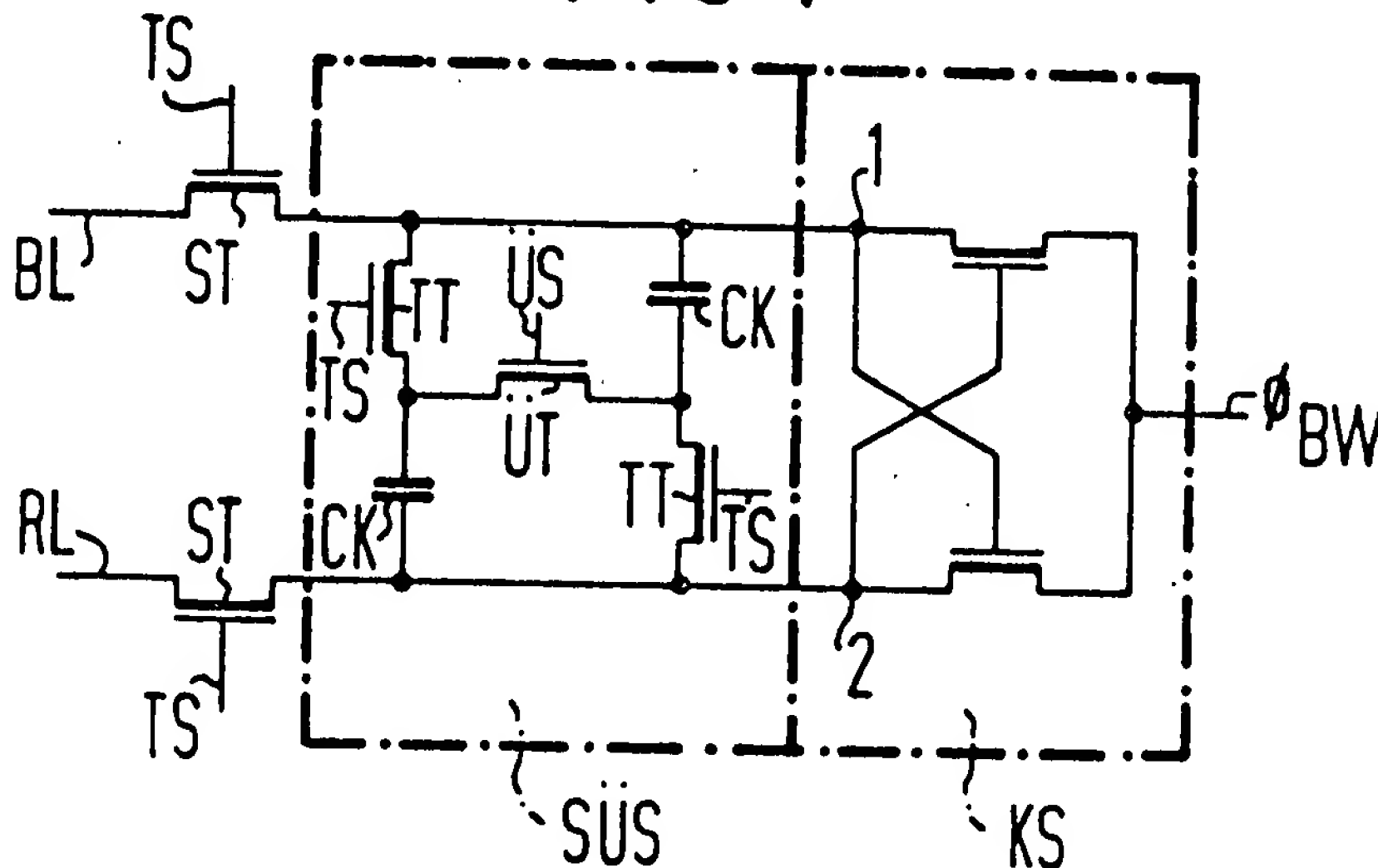
Anmelder: **Siemens Aktiengesellschaft Berlin und München**
Wittelsbacherplatz 2
D-8000 München 2(DE)

Erfinder: **Kraus, Rainer, Dipl.-Phys.**
Weidener Strasse 21
D-8000 München 83(DE)

Integrierbare Bewerterschaltung.

Eine integrierbare Bewerterschaltung enthält ein Paar von Signalleitungen BL, RL, eine Kippschaltung KS sowie eine Signalüberhöhungsschaltung SÜS. Die Signalüberhöhungsschaltung SÜS bewirkt an den Eingängen der Kippschaltung eine Erhöhung der dort sonst üblichen Potentialdifferenz. Damit wird die Kippschaltung KS unempfindlicher und sicherer im Ansprechen auf zu bewertende Signale. Ebenso ist ein Verkleinern von Signalhüben zulässig, was bei Halbleiterspeichern eine Verkleinerung von Speicherzellen ermöglicht.

FIG 1



EP 0 254 980 A1

Die Erfindung betrifft eine integrierbare Bewerterschaltung nach dem Oberbegriff des Patentanspruches 1.

Gattungsgemäße integrierbare Bewerterschaltungen werden eingesetzt zur sicheren Erkennung und Unterscheidung logischer Pegel elektrischer Signale, insbesondere in Fällen, in denen sich die verschiedenen, zu bewertenden logischen Pegel spannungsmäßig nur sehr wenig voneinander unterscheiden. Am bekanntesten ist ihr Einsatz als sog. sense amplifier in integrierten Halbleiterspeichern wie beispielsweise in DRAM's und SRAM's. Stellvertretend für die vielen Veröffentlichungen, gattungsgemäße integrierbare Bewerterschaltungen betreffend, seien die folgenden genannt:

1) IEEE International Solid State Circuits Conference, 1980 Digest of Technical Papers, Seiten 228 bis 229, insbesondere Figur 3, ein DRAM zeigend und

2) IEEE International Solid State Circuits Conference, 1984 Digest of Technical Papers, Seiten 226 bis 227, insbesondere Figur 2, ein SRAM zeigend.

Beide Schaltungen werden unter für gattungsgemäße integrierbare Bewerterschaltungen typischen Einsatzbedingungen betrieben: Die Bewerterschaltung, auch sense amplifier genannt, ist über Trenntransistoren mit einem Paar von Bitleitungen verbunden. Ihr wird im Lesebetrieb über eine der Bitleitungen ein aus einer adressierten Speicherzelle ausgelesenes Lesesignal zugeführt. Ein der anderen Bitleitung zuvor beispielsweise mittels einer Prechargeschaltung zugeführtes Potential behält zunächst seinen Wert bei oder es ändert sich geringfügig durch Verwendung einer sog. Dummyzelle. Dummyzellen sind Speicherzellen, die nicht der eigentlichen Informationsspeicherung dienen. Sie sind notwendig beim bekannten High-oder Lowpegel-Konzept zur Erzeugung eines Referenzsignals in Verbindung mit der bekannten Verwendung zweier eine bistabile Kippschaltung bildender kreuzweise gekoppelter Transistoren als Bewerterschaltung. Sie sind nicht notwendig, aber möglich beim bekannten Midpegel-Konzept (Symmetrisierung der Signale "logisch 0" und "logisch 1").

Die auftretende Problematik ist unabhängig von den verwendeten, bekannten Schaltungskonzepten immer gleich: Damit die Bewerterschaltung sicher anspricht und richtig bewertet, darf der auftretende Signalhub beim Auslesen einer Speicherzelle auf eine Bitleitung, die ja eine große kapazitive Belastung darstellt für das Lesesignal, eine bestimmte (kleine) Größe nicht unterschreiten. Bekannte

Bewerterschaltungen haben beispielsweise eine Ansprechschwelle von 50mV, typische Lesesignalhübe bei guten Halbleiterspeichern liegen bei $150 \pm 100\text{mV}$. Bei Halbleiterspeichern ist die Größe des Lesesignales direkt proportional dem Speichervermögen der angeschlossenen Speicherzellen, im Falle dynamischer Halbleiterspeicher sogar direkt proportional der Kapazität jedes einzelnen Speicherzellenkondensators, und damit auch direkt proportional der Fläche, die jeder einzelne Speicher-kondensator benötigt.

Aufgabe der vorliegenden Erfindung ist es, eine gattungsgemäße Bewerterschaltung so weiterzubilden, daß auch auf Signalleitungen anliegende sehr kleine, von den bekannten Bewerterschaltungen nicht mehr bearbeitbare Lesesignale sicher erkannt und verstärkt werden können.

Diese Aufgabe wird erfindungsgemäß gelöst durch eine gattungsgemäße integrierbare Bewerterschaltung mit den kennzeichnenden Merkmalen des Patentanspruches 1.

Vorteilhafte Aus- und Weiterbildungen sind in Unteransprüchen gekennzeichnet.

Nachstehend werden verschiedene Ausbildungen der Erfindung anhand von Figuren näher erläutert.

Es zeigen dabei:

die Figuren 1 bis 3 verschiedene Ausbildungen der Erfindung,

die Figur 4 ein Impulsdigramm.

Jede Ausführungsform der erfindungsgemäßen integrierbaren Bewerterschaltung enthält eine an sich bekannte Kippschaltung KS. Diese kann, wie allgemein üblich, aus zwei kreuzgekoppelten Transistoren gebildet sein, wobei beispielsweise die Sourcebereiche der beiden Transistoren elektrisch miteinander verbunden sind. Das elektrische Potential an dieser Verbindung ist veränderbar, damit die Bewertung durchgeführt werden kann. Es kann u.a. ein auf Referenzpotential schaltbares Bewertersignal ϕ_{BW} direkt angeschlossen sein (siehe Figuren 1,2) oder es kann ein Transistor angeschaltet sein, der mit dem Referenzpotential verbunden ist und der durch das Bewertersignal ϕ_{BW} gesteuert wird (vgl. Fig. 3). Es sind auch komplexe Funktionsgeneratoren bekannt, die einen speziellen Signalverlauf an der oben genannten Verbindung ermöglichen. Dies ist jedoch allgemein bekannt und nicht Bestandteil der Erfindung. Es ist lediglich aus Gründen der Vollständigkeit und zum leichteren Verständnis der Wirkungsweise der Erfindung erwähnt.

Die Kippschaltung KS weist einen ersten (1) und einen zweiten Schaltungsknoten 2 auf, die beide, wie üblich, hinsichtlich der Kippschaltung KS sowohl als Eingänge als auch als zueinander komplementäre Ausgänge dienen. Die beiden Schaltungsknoten 1,2. und damit auch die gesamte Kippschaltung KS sind jeweils über einen Schalttransistor ST, der gatemäßig von einem Trennsignal TS angesteuert wird, mit einem Paar von Signalleitungen BL, RL verbunden. In dem Falle, in dem die integrierbare Bewerterschaltung in einem Halbleiterspeicher eingebaut ist, wird dieses Paar von Signalleitungen BL,RL als Paar von Bitleitungen oder Paar von Bitleitung und Referenzleitung bezeichnet. Dies ist unabhängig davon, ob der Halbleiterspeicher nach dem Konzept der Folded-Bitline oder dem der Open-Bitline konzipiert ist. Im Falle eines Halbleiterspeichers sind mit jedem Signalleitungspaar im allgemeinen noch eine Precharge-Einrichtung, ggf. kombiniert mit einer Leitungs-Potential-Ausgleichs-oder Symmetriererschaltung, sowie ggf. eine Rückschreibeinrichtung zum Zurückschreiben der aus einer Speicherzelle ausgelesenen Information verbunden. Diese Einrichtungen stehen jedoch in keiner direkten Verbindung mit der vorliegenden Erfindung. Sie sind deshalb und aus Übersichtlichkeitsgründen in den Figuren weggelassen. Ebenso sind (mit Ausnahme von Fig. 3) keine Signalquellen, die das zu bewertende Signal erzeugen wie beispielsweise Speicherzellen eingezeichnet.

Das Paar von Signalleitungen BL,RL weist in einem Ruhezustand kurz vor Auslesen eines Signales auf eine der Signalleitungen BL,RL untereinander gleiches Potential auf. Im Falle von Halbleiterspeichern ist dieses Potential bei traditionellen Designs (z.B. bei 64k-DRAM's und bei 256k-DRAM's) entweder das Bezugspotential Masse oder das Versorgungspotential V_{CC} . Mittlerweile setzt sich jedoch das sog. Mid-Level-Konzept immer mehr durch. In diesem Falle beträgt das oben genannte Potential, auf dem sich beide Signalleitungen BL,RL zunächst befinden, in etwa den halben Betrag der Versorgungsspannung. Für die vorliegende Erfindung ist es jedoch unerheblich, welchen Betrag das Potential auf den Signalleitungen BL,RL hat. Wichtig ist, daß das Potential auf beiden Signalleitungen BL,RL zumindest annähernd gleich ist (maximal zulässiger Unterschied 10mV).

Die bisher beschriebenen Merkmale der erfindungsgemäßen Bewerterschaltung, die in dieser Form in allen zu beschreibenden Ausführungsformen der Erfindung (Figuren 1 bis 3) enthalten sind, sind allgemein bekannt. Sie sind beispielsweise auch den eingangs genannten Veröffentlichungen entnehmbar.

Beim Gegenstand der vorliegenden Erfindung ist vorteilhafterweise zwischen der Kippschaltung KS und dem Paar von Signalleitungen BL,RL eine Signalüberhöhungsschaltung SÜS angeordnet.

Tritt auf einer der beiden Signalleitungen BL,RL, beispielsweise auf der Signalleitung BL, ein zu bewertendes Signal auf (im obengenannten Beispiel Halbleiterspeicher tritt dieser Zustand dann ein, wenn die in einer der Signalleitungen BL (= Bitleitung) zugeordneten Speicherzelle eingespeicherte Information ausgelesen wird), so liegt dieses Signal mit seinem Signalhub V_L (siehe Fig. 4) zunächst an dem mit der signalführenden Signalleitung BL verbundenen Schaltungsknoten (beispielsweise am ersten Schaltungsknoten 1). Erfindungsgemäß ist anschließend das Signal vom genannten Schaltungsknoten 1 elektrisch abgetrennt. Dies geschieht durch Sperren des an der einen Signalleitung BL befindlichen Schalttransistors ST mittels des Trennsignales TS.

Nach erfolgter Sperrung hebt anschließend die Signalüberhöhungsschaltung SÜS in vorteilhafter Art und Weise durch Potentialverschiebung das Potential am Schaltungsknoten 1, das sich ja aus dem Potential der ursprünglichen Vorladung und dem des Lesesignalhubes V_L zusammensetzt, um einen Betrag V_0 an. Gleichzeitig wird das Potential am Schaltungsknoten 2 um denselben Betrag V_0 abgesenkt.

Die Kippschaltung KS, die ja bei bekannten Bewerterschaltungen im vorliegenden Falle einen Potentialunterschied von V_L (= Signalhub) zwischen den beiden Schaltungsknoten 1,2 zu bewerten hätte, hat also im erfindungsgemäßen Fall an den Schaltungsknoten 1,2 bei unverändertem (Ursprungs-)Signal eine Potentialdifferenz von $V_L + 2V_0$ zwischen den beiden Schaltungsknoten 1,2 zum Bewerten zur Verfügung.

Entsprechendes gilt für ein zu bewertendes Signal mit negativem Signalhub $-V_L$.

Im folgenden werden einige vorteilhafte Ausführungen für die Signalüberhöhungsschaltung SÜS angegeben. Allen Ausführungsformen liegt dabei zugrunde, daß die Signalüberhöhungsschaltung SÜS wenigstens zwei Koppelkondensatoren CK aufweist. Der erste Anschluß des einen Koppelkondensators CK ist mit dem ersten Schaltungsknoten 1 verbunden. Der erste Anschluß des anderen Koppelkondensators CK ist mit dem zweiten Schaltungsknoten 2 verbunden. Die Signalüberhöhungsschaltung SÜS enthält des weiteren wenigstens einen Übertragungstransistor ÜT, dessen Gate als Steueranschluß mit einem Übertragungssignal ÜS verbunden ist. Die gesteuerten Anschlüsse Drain, Source jedes Übertragungstransistors ÜT sind jeweils mindestens mittelbar mit den zweiten Anschlüssen der Koppelkondensatoren CK verbunden. An die ersten

Anschlüsse der Koppelkondensatoren CK ist jeweils ein Trenntransistor TT mit dem einen seiner gesteuerten Anschlüsse (z.B. Source) angeschlossen. Die Gates dieser Trenntransistoren TT sind mit einem Trennsignal TS verbunden. Der andere gesteuerte Anschluß (z.B. Drain) des einen der beiden Trenntransistoren TT ist mit dem zweiten Anschluß des anderen Koppelkondensators CK verbunden. Entsprechend ist der andere gesteuerte Anschluß (z.B. Drain) des anderen der beiden Trenntransistoren TT mit dem zweiten Anschluß des einen Koppelkondensators CK verbunden.

Nachfolgend wird die Wirkungsweise einer ersten Ausführungsform der Erfindung anhand von Figur 1 näher erläutert. In dieser Ausführungsform sind die Schalttransistoren ST mit ihren stromführenden Strecken zwischen dem Paar von Signalleitungen BL, RL einerseits und der Kippschaltung KS samt der Signalüberhöhungsschaltung SÜS andererseits angeordnet. Die Wirkungsweise wird, wie auch nachfolgend bei den weiteren Ausführungsformen, anhand folgender konkreter Vorgaben und Annahmen erläutert: Das Paar von Signalleitungen BL, RL sei ein Bitleitungspaar eines Halbleiterspeichers, bestehend aus einer Bitleitung BL und einer Referenzleitung RL. Das Speicherzellenfeld des Halbleiterspeichers weise keine Dummyzellen auf (die erfindungsgemäße Schaltung funktioniert jedoch auch bei Dummyzellen). Als Bitleitung BL wird diejenige Signalleitung bezeichnet, auf der beim Auslesevorgang (durch Anwahl einer Speicherzelle über eine entsprechende Wortleitung) die ausgelesene Information als zu bewertendes Signal erscheint. Die andere, nicht ausgewählte Signalleitung wird als Referenzleitung RL bezeichnet. Eine weitere, für das Funktionieren der erfindungsgemäßen Schaltung nicht notwendige Annahme ist darin zu sehen, daß beide Signalleitungen BL, RL vor Beginn des Auslesevorganges jeweils das halbe Versorgungsspannungspotential aufweisen. Dies kann bekanntlich mittels einer sog. Precharge-Schaltung in Verbindung mit einer Symmetrierschaltung erfolgen.

Zu Beginn des Auslesevorganges sind das Trennsignal TS aktiv und das Übertragungssignal ÜS inaktiv. Die Schalttransistoren ST und die Trenntransistoren TT sind voll geöffnet, der Übertragungstransistor ÜT ist gesperrt. Am ersten Schaltungsknoten 1, am ersten Anschluß des einen Koppelkondensators CK und an einem der beiden gesteuerten Anschlüsse des Übertragungstransistors ÜT liegt das halbe Versorgungsspannungspotential (z.B. 2,5 V), verändert um das ausgelesene Lesesignal mit seinem Signalhub V_L (z.B. 150mV). Wurde eine logische "1"

ausgelesen (bei Verwendung von n-Kanal-Transistoren und positiver Logik), so ist das anliegende Potential um den Lesesignalhub V_L erhöht, ansonsten (logisch "0") entsprechend erniedrigt.

Am zweiten Schaltungsknoten 2, am ersten Anschluß des anderen Koppelkondensators CK und am anderen der beiden gesteuerten Anschlüsse des Übertragungstransistors ÜT liegt unverändert das halbe Versorgungsspannungspotential von beispielsweise 2,5 V an. Die Kippschaltung KS wird, wie dem Fachmann geläufig, beispielsweise über das Bewertersignal ϕ_{BW} in einem labilen Gleichgewichtszustand gehalten.

Das Trennsignal TS nimmt dann seinen inaktiven Zustand ein, worauf die Schalttransistoren ST und die Trenntransistoren TT sperren. Nach erfolgter Sperrung wird das Übertragungssignal ÜS aktiviert, woraufhin der Übertragungstransistor ÜT durchschaltet. Während des (möglichst kurzen) Zeitraumes, in dem das Trennsignal TS (bereits) deaktiviert war und das Übertragungssignal ÜS (noch) deaktiviert war, lag an dem einen gesteuerten Anschluß des Übertragungstransistors ÜT ein um den Betrag des Lesesignalhubes V_L erhöhtes (bzw. im Fall des Auslesens einer logischen "0" erniedrigtes) Potential, verglichen mit dem Potential am anderen gesteuerten Anschluß des Übertragungstransistors ÜT. Durch das Aktivieren des Übertragungssignales ÜS erfolgt über den Übertragungstransistor ÜT ein Potentialausgleich, was einen Potentialanstieg am anderen gesteuerten Anschluß des Übertragungstransistors ÜT, und somit auch am zweiten Anschluß des mit dem ersten Schaltungsknoten 1 verbundenen Koppelkondensators CK zur Folge hat. Dieser Potentialanstieg wiederum wirkt sich über den Koppelkondensator CK auf den ersten Schaltungsknoten 1 aus und erhöht dessen Potential, das bis dahin den Wert "halbes Versorgungsspannungspotential + Lesesignalhub V_L " aufwies. Die maximal mögliche Potentialerhöhung beträgt in etwa 1/4 des Lesesignalhubes V_L . Durch den beschriebenen Potentialausgleich nimmt jedoch das Potential am einen gesteuerten Anschluß des Übertragungstransistors ÜT um denselben Betrag ab, wie es am anderen gesteuerten Anschluß des Übertragungstransistors ÜT zunimmt. Dies jedoch wirkt sich auf den zweiten Schaltungsknoten 2 über den ihm zugeordneten Koppelkondensator CK aus, d.h. das Potential am zweiten Schaltungsknoten 2 nimmt (bei angenommener gleicher Dimensionierung der beiden Koppelkondensatoren CK) um denselben Betrag ab wie das Potential am ersten Schaltungsknoten 1 zunimmt.

Insgesamt läßt sich bei dieser Ausführungsform eine Potentialdifferenz zwischen den beiden Schaltungsknoten 1 und 2 erreichen in Höhe von "Lesesignalhub V_L + (2 mal Potentia-

lerhöhung V_0). Mit den zuvor angegebenen Werten ($V_L = 150\text{mV}$, Potentialerhöhung $V_0 = V_L \cdot 4$) entsteht eine durch die Kippschaltung KS zu bewertende Potentialdifferenz von 225mV . Dies erhöht also die Sicherheit hinsichtlich richtigen Bewertens enorm. Andererseits kann jedoch der Schaltungsentwickler die Vorteile der erfindungsgemäßen Bewerterhaltung dahingehend ausnützen, daß er die zu bewertenden Signale erzeugenden Schaltungsteile (im Beispiel: die Speicherzellen) so dimensioniert, daß kleinere Signale entstehen. Bei dynamischen Halbleiterspeichern bedeutet dies, daß der Schaltungsentwickler Speicherzellen entsprechend geringerer Kapazitäten verwendet. Da die Kapazitätswerte direkt proportional dem Flächenbedarf der zugeordneten Kondensatoren sind, kann er somit auch Fläche einsparen. Dies ist ein ganz wichtiger Aspekt moderner integrierter Schaltungstechnik.

Bei den Ausführungsformen nach den Figuren 2 und 3 dienen die Schalttransistoren ST erfindungsgemäß gleichzeitig als Trenntransistoren TT.

Die vorteilhafte Ausführungsform nach Fig. 2 basiert auf demselben Schaltungsprinzip wie die nach Fig. 1: Zunächst wird der Schaltungsknoten 1 auf das um den Betrag des Signalhubes V_L des zu bewertenden Signales erhöhte bzw. erniedrigte ursprünglich halbe Versorgungspotential gebracht unter Beibehaltung des halben Versorgungspotentials am Schaltungsknoten 2. Anschließend werden die Trenntransistoren TT, die in der Ausführungsform nach Figur 2 identisch sind mit den Schalttransistoren ST bekannter bewährter Schaltungen, gesperrt und der Übertragungstransistor ÜT leitend geschaltet. Dadurch findet über die gesteuerte Strecke (Drain - Source) des Übertragungstransistors ÜT ein Potentialausgleich statt. Dies hat einen Potentialanstieg am zweiten Anschluß des an seinem ersten Anschluß mit dem ersten Schaltungspunkt 1 verbundenen Koppelkondensators CK zur Folge und weiterhin am ersten Schaltungsknoten 1 selbst. Der Potentialausgleich über den Übertragungstransistor ÜT bewirkt gleichzeitig ein Absinken des Potentials am zweiten Anschluß des mit seinem ersten Anschluß mit dem zweiten Schaltungsknoten 2 verbundenen Koppelkondensators CK, wodurch am zweiten Schaltungsknoten 2 selbst auch eine Potentialverringerung eintritt. Die sich zwischen den beiden Schaltungsknoten 1,2 einstellende Potentialdifferenz, die ja anschließend durch die Kippschaltung KS (ausgelöst durch Verändern des Bewertersignales ϕ_{BW}) zu bewerten ist, ist durch die geschilderten vorteilhaften Schaltungsmaßnahmen, ähnlich wie bei der Ausgestaltung nach Fig. 1, gegenüber den bekannten Bewerterhaltungen vergrößert, was auch die bezüglich Fig. 1 angeführten Vorteile zur Folge hat.

Die vorteilhafte Ausführung gemäß Fig. 3 ist hinsichtlich der erzielbaren Signalüberhöhung optimiert, d.h. die Potentialerhöhung (bzw. -erniedrigung) V_0 ist größer als bei den vorstehend beschriebenen Ausgestaltungen. Entsprechend lassen sich bei einem Halbleiterspeicher auch die Speicherzellen des Speicherzellenfeldes nochmals verkleinern. Nachstehend wird diese Ausführungsform in Verbindung mit dem (stark schematisiert dargestellten) Impulsdiagramm nach Fig. 4 näher erläutert:

Es gilt wiederum die Annahme, daß die erfindungsgemäße Bewerterhaltung bei einem Halbleiterspeicher verwendet wird zum Bewerten einer aus einer Speicherzelle SZ ausgelesenen Information als zu bewertendes Signal (allgemein als "Lesesignal" bezeichnet), wobei die Speicherzelle SZ an die Bitleitung BL angeschlossen ist. Der Wert der logischen Information beträgt "1". Die Potentialverläufe bei Auslesen einer logischen "0" sind, soweit sie sich von denen beim Auslesen der logischen "1" unterscheiden, gestrichelt dargestellt. Das angenommene halbe Versorgungspotential ist, soweit durch das Auslesen und Bewerten ein Abweichen davon verursacht ist, punktiert gezeichnet und mit der Bezeichnung "1/2" versehen.

Die integrierbare Bewerterhaltung weist gegenüber den bisher erläuterten Ausführungsformen wenigstens einen weiteren Übertragungstransistor ÜT auf, dessen Gate als Steueranschluß ebenfalls mit dem Übertragungssignal ÜS verbunden ist. Der eine gesteuerte Anschluß (Drain) der Übertragungstransistoren ÜT ist jeweils mit dem zweiten Anschluß eines der Koppelkondensatoren CK verbunden. Diese beiden weiteren Verbindungspunkte sind in Fig. 3 mit C1 bzw. C2 bezeichnet. Der andere gesteuerte Anschluß (Source) des einen der Übertragungstransistoren ÜT ist sowohl mit dem anderen gesteuerten Anschluß des einen der beiden Trenntransistoren TT als auch über den stromführenden Pfad (Kanal) eines ersten weiteren Trenntransistors WTT mit dem zweiten Anschluß des anderen Koppelkondensators CK verbunden (weiterer Verbindungspunkt C2). Entsprechend ist der andere gesteuerte Anschluß (Source) des weiteren der Übertragungstransistoren ÜT sowohl mit dem anderen gesteuerten Anschluß des anderen der beiden Trenntransistoren TT als auch über den stromführenden Pfad (Kanal) eines zweiten weiteren Trenntransistors WTT mit dem zweiten Anschluß des einen Koppelkondensators CK verbunden (weiterer Verbindungspunkt C1). Ebenso wie bei der Ausführungsform nach Fig. 2 dienen die Schalttransistoren ST gleichzeitig als Trenntransistoren TT.

Zu Beginn eines Auslese- und Bewertungszyklus (in Fig. 1 mit dem Zeitpunkt t_0 bezeichnet) sind die folgenden Signale auch im elektrisch inaktiven Zustand logisch "0": (Wort-)Auswahlleitung A_j zur Auswahlsteuerung für eine Speicherzelle SZ , Übertragungssignal $\bar{U}S$, Bewertersignal $\bar{\phi}_{BW}$. Lediglich das Trennsignal TS ist elektrisch aktiv auf logisch "1".

Zu einem Zeitpunkt t_1 wird über die (Wort-)Auswahlleitung A_j genau eine Speicherzelle SZ der Bitleitung BL auf diese ausgelesen. Es wird im folgenden, wie bereits erläutert, angenommen, daß eine logische "1" ausgelesen wird. Das Lesesignal weist den Signalhub V_L auf. Bis zum Zeitpunkt t_1 wiesen folgende Leitungen und Schaltungsknoten vereinbarungsgemäß das halbe Versorgungsspannungspotential (" $1/2$ ") auf: Bitleitung BL , Referenzleitung RL , (weitere) Schaltungsknoten $C1, C2$, 1 und 2. Mit erfolgtem Auslesen nehmen die Bitleitung BL , der erste Schaltungsknoten 1 (Schalt- bzw. Trenntransistoren ST, TT sind wegen Trennsignal TS durchgeschaltet) und der weitere Schaltungsknoten $C2$ (der erste weitere Trenntransistor WTT ist wegen des Trennsignales TS durchgeschaltet) das Potential " $1/2$ mal Versorgungsspannung + Signalhub V_L " an, was bei Auslesen einer logischen "1" eine Potentialerhöhung und im Falle des Auslesens einer logischen "0" eine Potentialerniedrigung bedeutet. Die Potentiale der Referenzleitung RL , des zweiten Schaltungsknotens 2 und das des weiteren Schaltungsknotens $C1$ bleiben unverändert (der zweite weitere Trenntransistor WTT ist leitend wegen Trennsignal TS).

Zum Zeitpunkt t_2 wird das Trennsignal TS elektrisch inaktiv, die Trenntransistoren TT und die weiteren Trenntransistoren WTT sperren. Möglichst bald darauf, jedoch frühestens nach erfolgter Sperrung, wird das Übertragungssignal $\bar{U}S$ zum Zeitpunkt t_3 elektrisch aktiv, d.h. die Übertragungstransistoren $\bar{U}T$ werden leitend geschaltet. Über die Übertragungstransistoren $\bar{U}T$ erfolgt nun ein Potentialausgleich zwischen Bitleitung BL und weiterem Schaltungsknoten $C1$ sowie zwischen Referenzleitung RL und weiterem Schaltungsknoten $C2$. Die, verglichen mit den Kapazitäten der Speicherzellen SZ , denen der Koppelkondensatoren CK und der Eigenkapazität C_{BW} der Bewerterschaltung, sehr großen Bit- und Referenzleitungskapazitäten C_{BL} bewirken, daß die Bitleitung BL und die Referenzleitung RL ihr Potential nur unwesentlich verändern. Dies wiederum bewirkt, daß der weitere Schaltungsknoten $C1$ potentialmäßig angehoben wird (bei logisch "0": abgesenkt), während der weitere Schaltungsknoten $C2$ wiederum in etwa das Mittenpotential " $1/2$ Versorgungsspannung" annimmt. Letzteres bedeutet im Falle einer logischen "1" ein Absenken, im Falle einer logischen "0" ein Anheben des Potentials.

Die Potentialveränderungen an den weiteren Schaltungsknoten $C1$ und $C2$ bewirken über die Koppelkondensatoren CK eine entsprechende Potentialveränderung an den beiden Schaltungsknoten 1 und 2. Der erste Schaltungsknoten 1 wird um einen Betrag V_0 angehoben ($V_0 < V_L$: abgesenkt im Falle von logisch "0"), wogegen der zweite Schaltungsknoten 2 um denselben Betrag V_0 (in dem Falle, dem die Koppelkondensatoren CK gleiche Kapazitätswerte aufweisen) abgesenkt wird. Zwischen den beiden Schaltungsknoten 1 und 2 entsteht also eine Spannung ("Potential an Schaltungsknoten 1") - ("Potential an Schaltungsknoten 2") = (" $1/2 + V_L + V_0$ " - (" $1/2 - V_0$ ") = $V_L + 2V_0$. Dieser Wert wird auch erreicht beim Auslesen einer logischen "0", was nachzuvollziehen dem Fachmann keine Mühe macht und auch aus Fig. 4 ersichtlich ist (gestrichelte Werte).

Wie eingangs erwähnt, beträgt der Lesesignalhub herkömmlicher Halbleiterspeicherzellen ca. 150mV. Die Signalüberhöhungsschaltung $S\bar{U}S$ der erfindungsgemäßen Bewerterschaltung ermöglicht eine Potentialänderung um $V_0 = V_L/2$ je Signalleitung d.h. der Kippschaltung KS steht (bei unveränderten Speicherzellenkapazitäten) zwischen beiden Signalleitungen ein Lesesignal mit doppelter Amplitude zum Bewerten zur Verfügung ($V_L + 2V_0$).

Die Kippschaltung KS wird, wie allgemein bekannt, bis zum Zeitpunkt t_4 in einem Zustand labilen Gleichgewichtes gehalten. Zum Zeitpunkt t_4 wird sie mittels eines Bewertersignales $\bar{\phi}_{BW}$ (ob direkt durch das Bewertersignal, ob indirekt über einen Transistor wie in Fig. 3, oder ob durch einen komplizierten Funktionsgenerator veranlaßt, ist für die vorliegende Erfindung nicht von Bedeutung) aktiviert. Damit wird die ursprünglich ausgelesene Information bewertet, die beiden Schaltungsknoten 1, 2 nehmen die vollen logischen Pegel "1" bzw. "0" an.

Zum Zeitpunkt t_5 werden die Übertragungstransistoren $\bar{U}T$ durch Deaktivieren des Übertragungssignales $\bar{U}S$ wieder gesperrt. Anschließend, zum Zeitpunkt t_6 , wird das Trennsignal TS elektrisch aktiv, die Trenntransistoren TT und die weiteren Trenntransistoren WTT werden leitend. Entsprechend nehmen der weitere Schaltungsknoten $C1$ das Potential der Referenzleitung RL an und der weitere Schaltungsknoten $C2$ das Potential der Bitleitung BL . Unabhängig von dem Geschehen an den weiteren Schaltungsknoten $C1$ und $C2$ kann die Information am ersten Schaltungsknoten 1 (= logisch "1" im Beispiel) über die Bitleitung mit Hilfe einer (nicht dargestellten) Refresh-Schaltung in die Speicherzelle zurückgeschrieben werden. Dieser Vorgang ist bereits bekannt.

Wenn auch die vorliegende Erfindung anhand des Auslesens von Informationen auf die Bitleitung BL beschrieben wird, so ist es doch dem Fachmann einleuchtend, daß die Begriffe Bitleitung BL und Referenzleitung RL hinsichtlich der Bewerter-schaltung vertauschbar sind, ohne daß dies den geringsten Einfluß auf das Funktionieren der Schaltung hat.

Es hat sich als vorteilhaft erwiesen, daß die Kapazitätswerte der Koppelkondensatoren CK untereinander gleich sind.

Es hat sich ebenfalls als vorteilhaft erwiesen, daß die Kapazitätswerte der Koppelkondensatoren CK in etwa gleich der Eigenkapazität C_{BW} der Kippschaltung KS sind.

Empfehlenswert ist aufgrund der derzeit realisierbaren Eigenkapazität C_{BW} der Kippschaltung KS in Höhe von 20 bis 40fF, daß die Koppelkondensatoren Kapazitätswerte von 20 bis 40fF aufweisen.

Es ist auch vorteilhaft, die Übertragungstransistoren ÜT frühestens dann leitend zu schalten, wenn die Trenntransistoren TT und die weiteren Trenntransistoren WTT sicher gesperrt sind.

Es ist weiterhin vorteilhaft, daß diejenige Flanke des Übertragungssignales ÜS, die dieses in den aktiven Zustand bringt (und damit die Übertragungstransistoren ÜT leitend schaltet), eine geringere Flankensteilheit aufweist als die entsprechend entgegengesetzte Flanke.

Weiterhin ist es auch vorteilhaft, daß diejenige Flanke des Trennsignales TS, die dieses in den aktiven Zustand bringt (und damit die Trenntransistoren TT und ggf. die weiteren Trenntransistoren WTT leitend schaltet), eine geringere Flankensteilheit aufweist als die entsprechend entgegengesetzte Flanke.

Ansprüche

1. Integrierbare Bewerter-schaltung

- mit einer Kippschaltung,
- mit einem ersten und einem zweiten Schaltungsknoten, die beide der Kippschaltung sowohl als Eingänge als auch als zueinander komplementäre Ausgänge dienen,
- beide Schaltungsknoten sind über Schalttransistoren mit einem Paar von Signalleitungen verbunden,
- das Paar von Signalleitungen weist in einem Ruhezustand das gleiche Potential auf,

gekennzeichnet durch

folgende Merkmale:

- Zwischen der Kippschaltung (KS) und dem Paar von Signalleitungen (BL,RL) ist eine Signalüberhöhungsschaltung (SÜS) angeordnet,

-bei Auftreten eines Signales auf einer (BL,RL) der beiden Signalleitungen (BL,RL) liegt dieses mit seinem Signalhub (V_L) zunächst an demjenigen Schaltungsknoten (1:2), der mit der signalführenden Signalleitung (BL,RL) verbunden ist.

-anschließend ist das Signal von dem genannten Schaltungsknoten (1:2) durch Sperren des der signalführenden Signalleitung (BL,RL) zugeordneten Schalttransistors (ST) abgetrennt.

-die Signalüberhöhungsschaltung (SÜS) hebt anschließend durch Potentialverschiebung das Potential am genannten Schaltungsknoten (1:2) um einen Betrag (V_0) an unter gleichzeitiger Verringerung des Potentials am anderen (2:1) der beiden Schaltungsknoten (1,2).

-liegt als Signal ein solches mit negativem Signalhub ($-V_L$) vor, so erfährt der genannte Schaltungsknoten (1:2) eine Potentialabsenkung und der andere der beiden Schaltungsknoten (2:1) eine Potentialanhebung.

2. Integrierbare Bewerter-schaltung nach Anspruch 1,

dadurch gekennzeichnet,

-daß die Signalüberhöhungsschaltung (SÜS) wenigstens zwei Koppelkondensatoren (CK) aufweist,

-daß ein erster Anschluß des einen der beiden Koppelkondensatoren (CK) mit dem ersten Schaltungsknoten (1) und ein erster Anschluß des anderen der beiden Koppelkondensatoren (CK) mit dem zweiten Schaltungsknoten (2) verbunden ist,

-daß die Signalüberhöhungsschaltung (SÜS) einen Übertragungstransistor (ÜT) aufweist,

-dessen Gate als Steueranschluß mit einem Übertragungssignal (ÜS) verbunden ist,

- dessen gesteuerte Anschlüsse (Drain,Source) jeweils mit einem zweiten Anschluß der Koppelkondensatoren (CK) verbunden sind,

-daß an den ersten Anschluß der Koppelkondensatoren (CK) jeweils ein Trenntransistor (TT) mit einem seiner gesteuerten Anschlüsse (Source,Drain) angeschlossen ist,

-dessen Gate mit einem Trennsignal (TS) beaufschlagt ist,

-daß der andere gesteuerte Anschluß - (Drain,Source) des einen der beiden Trenntransistoren (TT) mit dem zweiten Anschluß des anderen Koppelkondensators (CK) verbunden ist,

-und daß der andere gesteuerte Anschluß - (Drain,Source) des anderen der beiden Trenntransistoren (TT) mit dem zweiten Anschluß des einen Koppelkondensators (CK) verbunden ist.

3. Integrierbare Bewerter-schaltung nach Anspruch 2,

dadurch gekennzeichnet,

daß die Schalttransistoren (ST) mit ihrem

stromführenden Pfad zwischen dem Paar von Signalleitungen (BL, RL) einerseits und der Kipp-schaltung (KS) samt der Signalüberhöhungsschaltung (SÜS) andererseits angeordnet ist.

4. Integrierbare Bewerterschaltung nach Anspruch 2.

dadurch gekennzeichnet,

-daß die Signalüberhöhungsschaltung (SÜS) wenigstens einen weiteren Übertragungstransistor (ÜT) aufweist, dessen Gate als Steueranschluß mit dem Übertragungssignal (ÜS) verbunden ist.

-daß der eine gesteuerte Anschluß jedes Übertragungstransistors (ÜT) jeweils mit dem zweiten Anschluß eines der Koppelkondensatoren (CK) verbunden ist.

-daß der andere gesteuerte Anschluß des einen Übertragungstransistors (ÜT) sowohl mit dem anderen gesteuerten Anschluß des einen der beiden Trenntransistoren (TT) als auch über den stromführenden Pfad (Kanal) eines ersten weiteren Trenntransistors (WTT) mit dem zweiten Anschluß des anderen Koppelkondensators (CK) verbunden ist.

-daß der andere gesteuerte Anschluß des weiteren Übertragungstransistors (ÜT) sowohl mit dem anderen gesteuerten Anschluß des anderen der beiden Trenntransistoren (TT) als auch über den stromführenden Pfad (Kanal) eines zweiten weiteren Trenntransistors (WTT) mit dem zweiten Anschluß des einen Koppelkondensators (CK) verbunden ist.

5. Integrierbare Bewerterschaltung nach Anspruch 2 oder 4,

dadurch gekennzeichnet,

daß als Trenntransistoren (TT) die Schalttransistoren (ST) dienen.

6. Integrierbare Bewerterschaltung nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet,

daß die Kapazitätswerte der Koppelkondensatoren (CK) untereinander gleich sind.

7. Integrierbare Bewerterschaltung nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet,

daß die Kapazitätswerte der Koppelkondensatoren (CK) in etwa gleich der Eigenkapazität (C_{BW}) der Kippschaltung (KS) sind.

8. Integrierbare Bewerterschaltung nach Anspruch 7,

dadurch gekennzeichnet,

daß die Kapazitätswerte der Koppelkondensatoren (CK) 20 bis 40 fF betragen.

9. Integrierbare Bewerterschaltung nach einem der vorhergehenden Ansprüche,

dadurch gekennzeichnet,

daß die Übertragungstransistoren (ÜT) frühestens dann leitend geschaltet sind, wenn die Trenntransistoren (TT; TT, WTT) gesperrt sind.

10. Integrierbare Bewerterschaltung nach einem der vorhergehenden Ansprüche.

dadurch gekennzeichnet,

daß diejenige Flanke des Übertragungssignales (ÜS), die dieses in den aktiven Zustand bringt, eine geringere Flankensteilheit aufweist als die entsprechend entgegengesetzte Flanke.

11. Integrierbare Bewerterschaltung nach einem der vorhergehenden Ansprüche.

dadurch gekennzeichnet,

daß diejenige Flanke des Trennsignales (TS), die dieses in den aktiven Zustand bringt, eine geringere Flankensteilheit aufweist als die entsprechend entgegengesetzte Flanke.

FIG 1

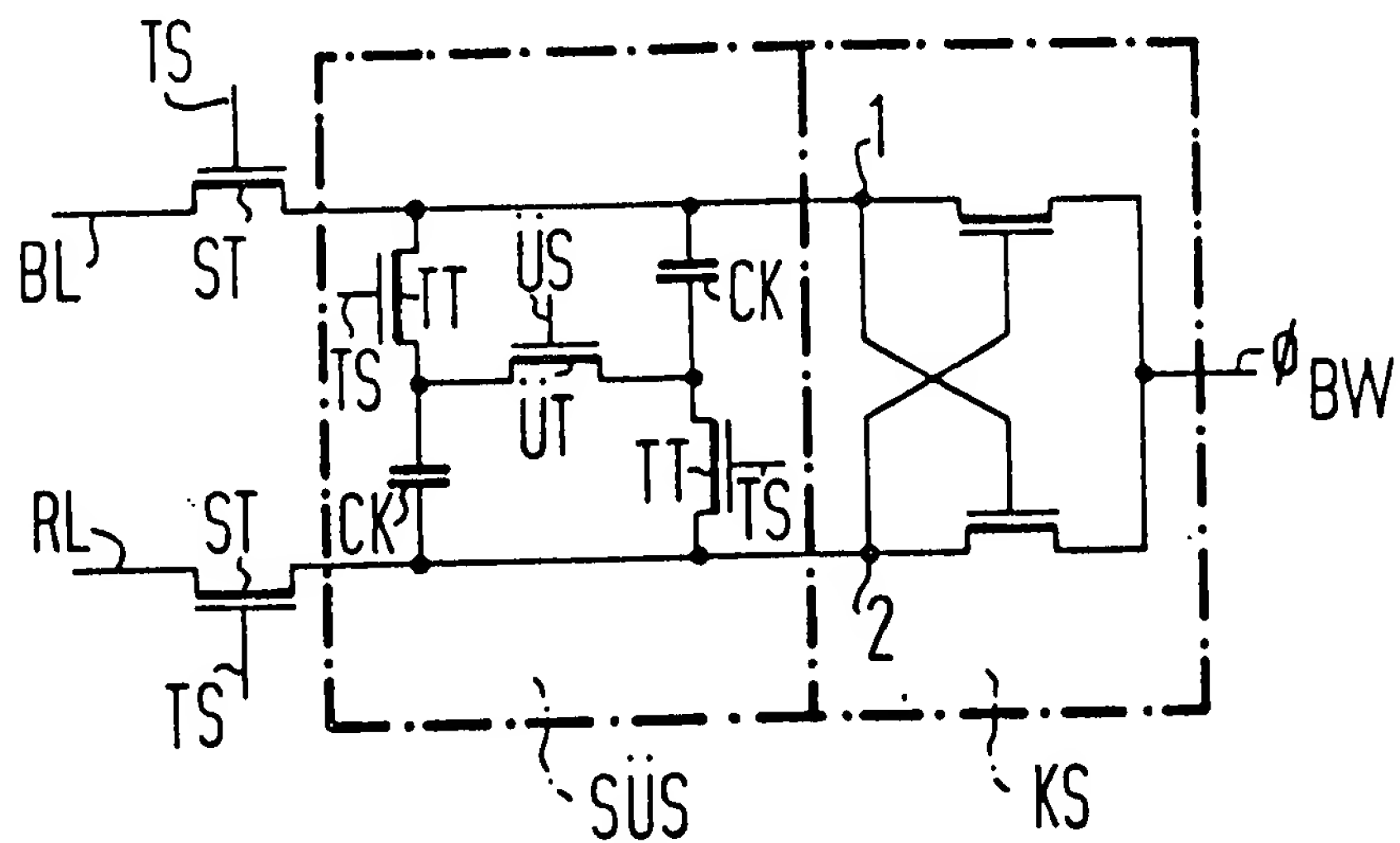


FIG 2

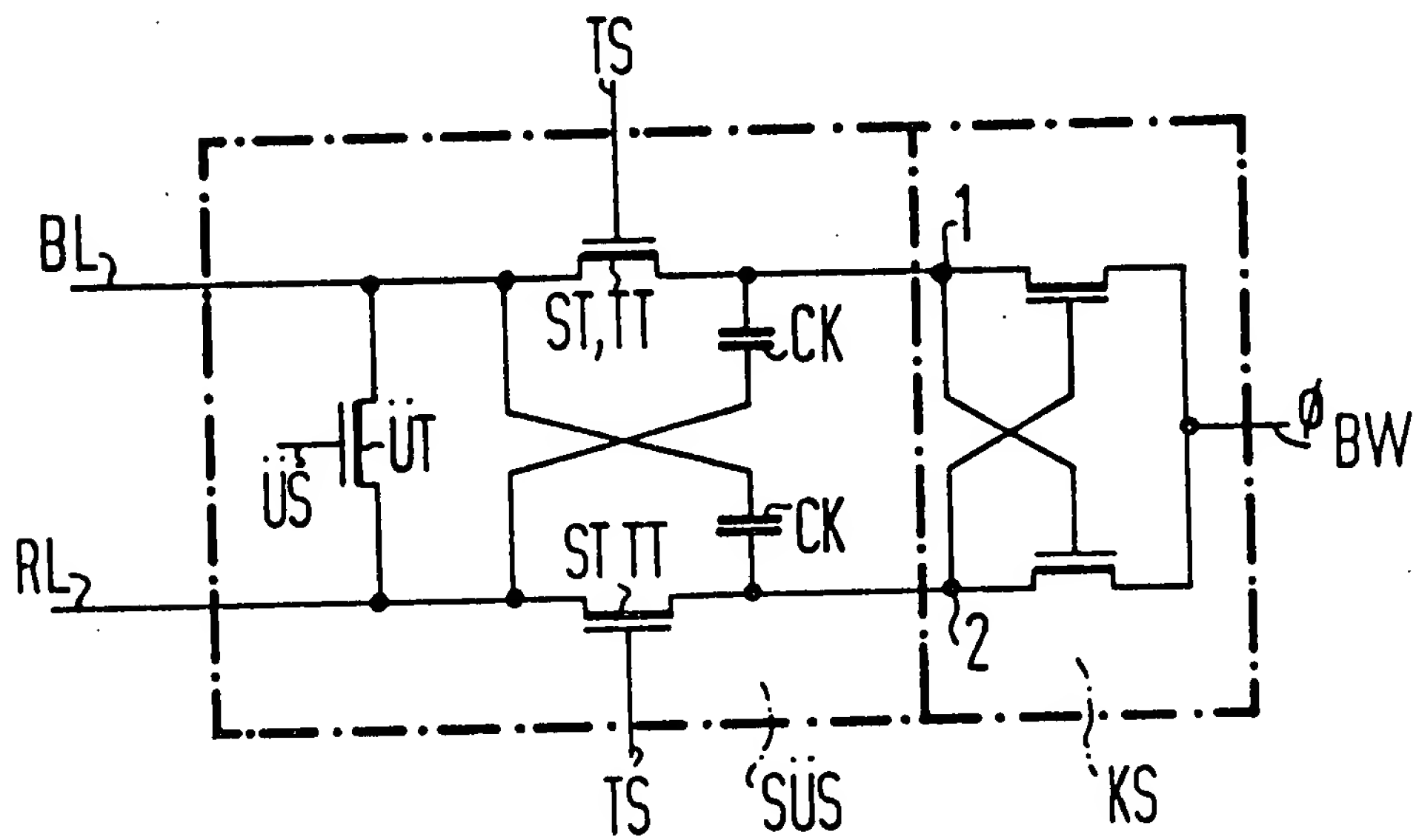


FIG 3

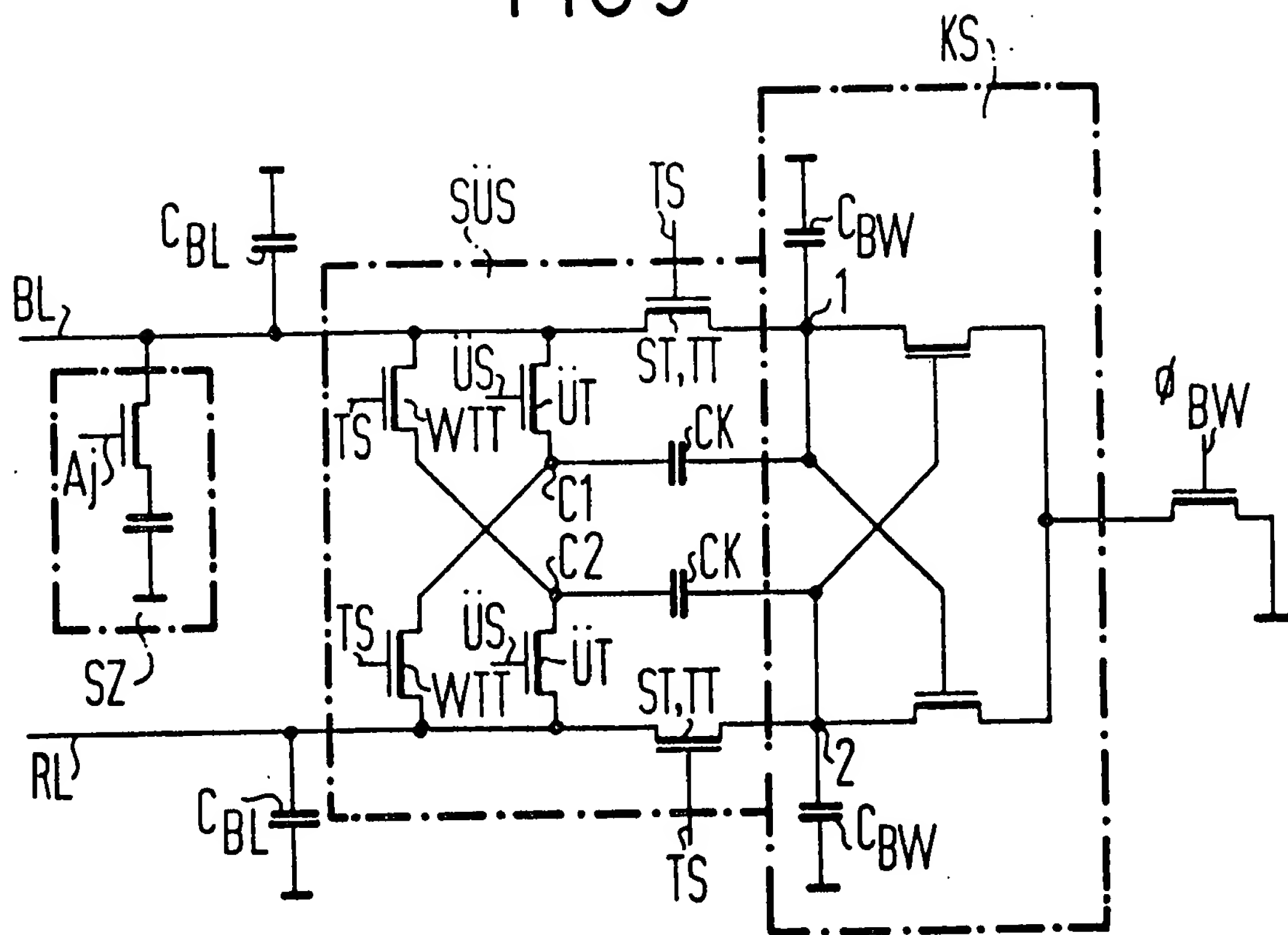
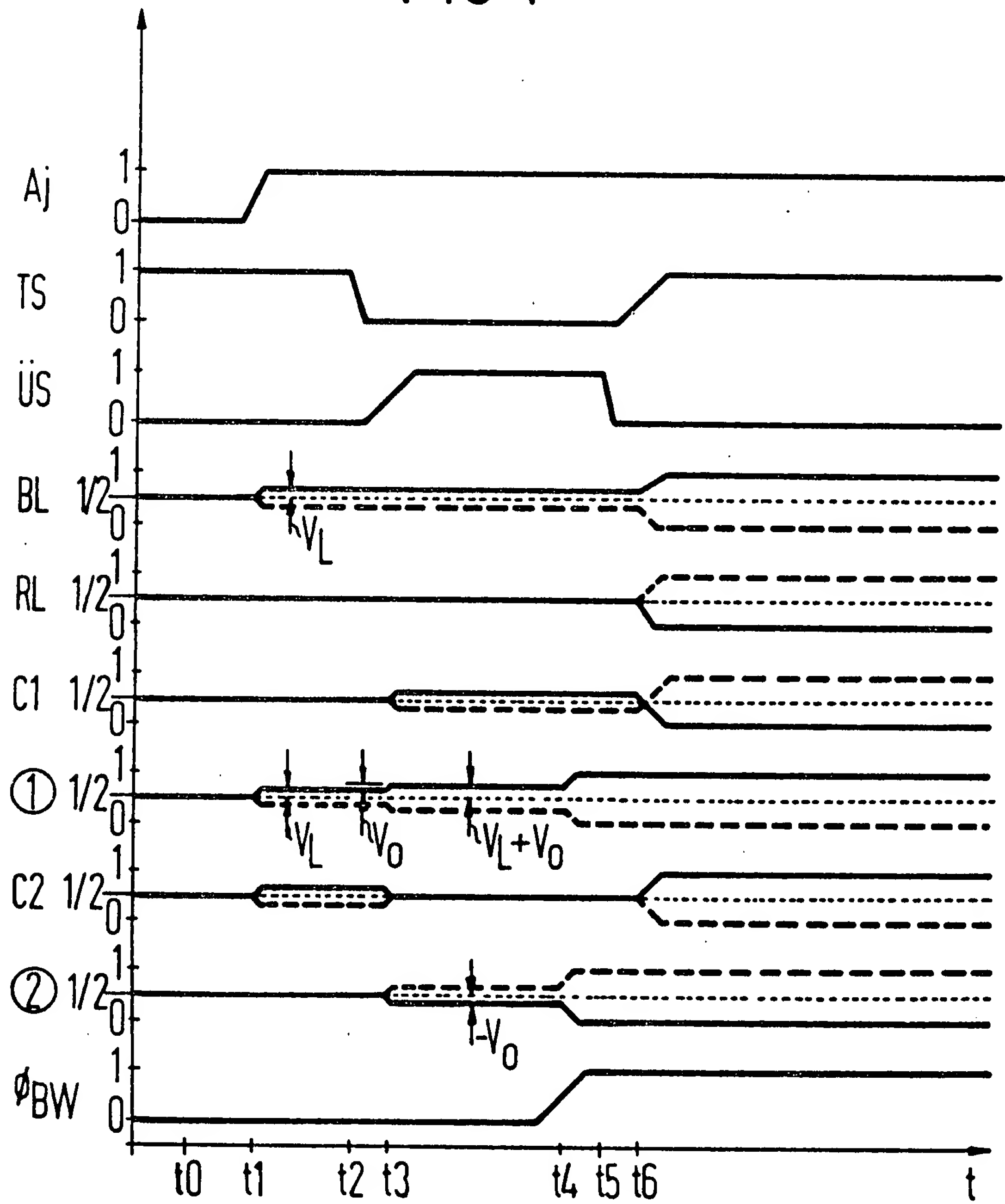


FIG 4





EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
A	PATENT ABSTRACTS OF JAPAN, Band 5, Nr. 82 (E-59)[754], 29. Mai 1981; & JP-A-56 30 321 (NIPPON DENKI K.K.) 26-03-1981 * Insgesamt *	1-6,9	G 11 C 7/06 H 03 K 5/02
A	--- PATENT ABSTRACTS OF JAPAN, Band 7, Nr. 42 (P-177)[1187], 19. Februar 1983; & JP-A-57 191 890 (NIPPON DENKI K.K.) 25-11-1982 * Insgesamt *	1,3	
A	--- US-A-4 162 539 (HEBENSTREIT) * Spalte 4, Zeile 11 - Spalte 5, Zeile 44; Figuren 2,3 * -----	1,4	
			RECHERCHIERTE SACHGEBIETE (Int. Cl. 4)
			G 11 C 7/00 G 11 C 11/00 H 02 M 3/00 H 03 K 5/00 H 03 K 19/00
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 30-10-1987	
		Prüfer GEOGHEGAN C.H.B.	
KATEGORIE DER GENANNTEN DOKUMENTE			
X : von besonderer Bedeutung allein betrachtet		E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist	
Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie		D : in der Anmeldung angeführtes Dokument	
A : technologischer Hintergrund		L : aus andern Gründen angeführtes Dokument	
O : mündliche Offenbarung			
P : Zwischenliteratur			
T : der Erfindung zugrunde liegende Theorien oder Grundsätze		& : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

Relevant Technical fields

(i) UK CI (Edition K) G4C C79

(ii) Int CI (Edition 5) G11C 7/00 7/06

Databases (see over)

(i) UK Patent Office

(ii)

Online Database: WPI

Search Examiner

M K REES

Date of Search

7 JUNE 1991

Documents considered relevant following a search in respect of claims

1 to 6, 10 to 17

Category (see over)	Identity of document and relevant passages	Relevant to claim(s)
A	EP A1 0254980 (SIEMENS) see Claim 1	1, 16